



PTO/SB/21 (08-00)

Approved for use through 10/31/2002. OMB 0651-0031

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

Applicati n Numb r

10/605,077

Filing Date

09/07/2003

First Named Inventor

Chien-Sheng Yang

Group Art Unit

Examiner Name

Total Number of Pages in This Submission 3

Attorney Docket Number

ADTP0119USA

ENCLOSURES (check all that apply)



Fee Transmittal Form



Fee Attached



Amendment / Reply



After Final



Affidavits/declaration(s)



Extension of Time Request



Express Abandonment Request



Information Disclosure Statement



Certified Copy of Priority Document(s)

Response to Missing Parts/
Incomplete ApplicationResponse to Missing Parts
under 37 CFR 1.52 or 1.53Assignment Papers
(for an Application)

Drawing(s)



Licensing-related Papers



Petition

Petition to Convert to a
Provisional ApplicationPower of Attorney, Revocation
Change of Correspondence
Address

Terminal Disclaimer



Request for Refund



CD, Number of CD(s) _____

After Allowance Communication
to GroupAppeal Communication to Board
of Appeals and InterferencesAppeal Communication to Group
(Appeal Notice, Brief, Reply Brief)

Proprietary Information



Status Letter

Other Enclosure(s) (please
identify below):

Remarks

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm
or
Individual name

Winston Hsu, Reg. No.: 41,526

Signature

Date

9/23/2003

CERTIFICATE OF MAILING

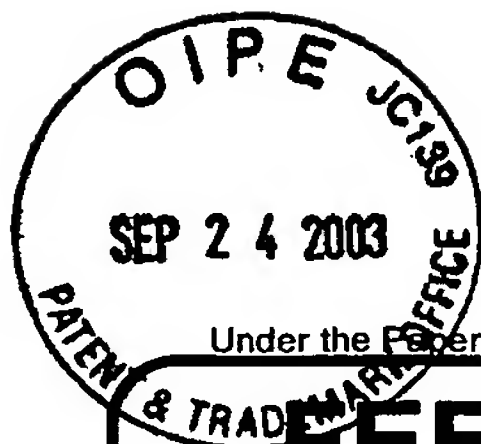
I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Washington, DC 20231 on this date:

Typed or printed name

Signature

Date

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



SEP 24 2003

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/17 (01-03)
Approved for use through 04/30/2003. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

FEE TRANSMITTAL for FY 2003

Effective 01/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/605,077
Filing Date	9/7/2003
First Named Inventor	Chien-Sheng Yang
Examiner Name	
Art Unit	
Attorney Docket No.	ADTP0119USA

METHOD OF PAYMENT (check all that apply)☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None☒ Deposit Account:Deposit Account Number
Deposit Account Name

50-0801

North America International Patent Office

The Commissioner is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments☒ Charge any additional fee(s) during the pendency of this application☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.**FEE CALCULATION****1. BASIC FILING FEE**

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	750	2001	375	Utility filing fee	
1002	330	2002	165	Design filing fee	
1003	520	2003	260	Plant filing fee	
1004	750	2004	375	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims		Extra Claims		Fee from below		Fee Paid	
Independent Claims		-20** =		X			
Multiple Dependent		- 3** =		X			

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1202	18	2202	9	Claims in excess of 20	
1201	84	2201	42	Independent claims in excess of 3	
1203	280	2203	140	Multiple dependent claim, if not paid	
1204	84	2204	42	** Reissue independent claims over original patent	
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent	
SUBTOTAL (2)					(\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)**3. ADDITIONAL FEES**

Large Entity Small Entity

Fee Code	Fee (\$)	Fee Code	Fee (\$)	Fee Description	Fee Paid
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	410	2252	205	Extension for reply within second month	
1253	930	2253	465	Extension for reply within third month	
1254	1,450	2254	725	Extension for reply within fourth month	
1255	1,970	2255	985	Extension for reply within fifth month	
1401	320	2401	160	Notice of Appeal	
1402	320	2402	160	Filing a brief in support of an appeal	
1403	280	2403	140	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,300	2453	650	Petition to revive - unintentional	
1501	1,300	2501	650	Utility issue fee (or reissue)	
1502	470	2502	235	Design issue fee	
1503	630	2503	315	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	750	2809	375	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	750	2810	375	For each additional invention to be examined (37 CFR 1.129(b))	
1801	750	2801	375	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

(Complete if applicable)

Name (Print/Type)

Winston Hsu

Registration No.
(Attorney/Agent)

41,526

Telephone 886289237350

Signature

Date

9/23/2003

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Washington, DC 20231.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



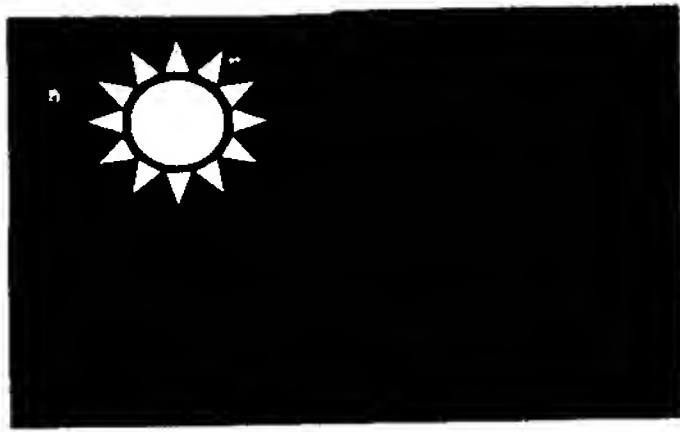
PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092117315	TaiwanR.O.C	06/25/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 06 月 25 日
Application Date

申請案號：092117315
Application No.

申請人：友達光電股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 11 日
Issue Date

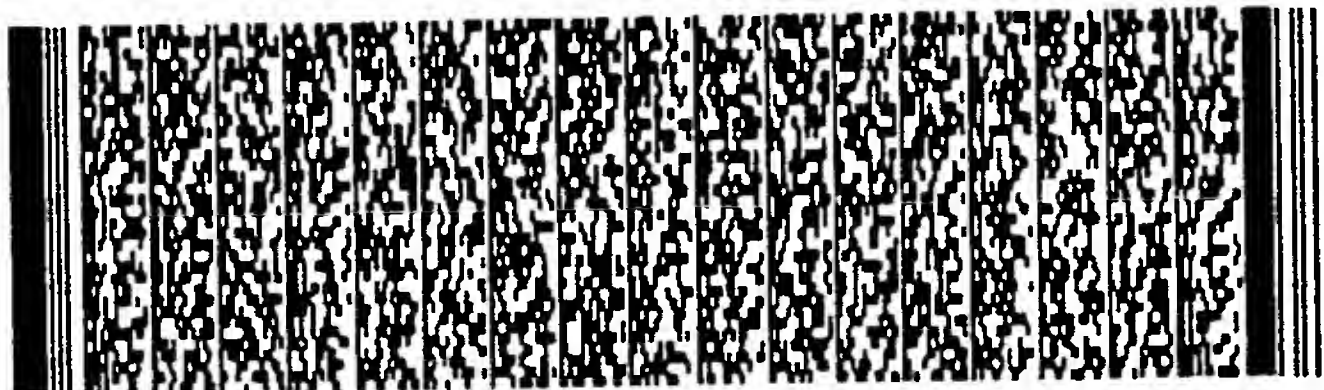
發文字號：09220882540
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	多晶矽薄膜電晶體液晶顯示器之電路佈局方法
	英文	LAYOUT METHOD FOR A POLYSILICON THIN FILM TRANSISTOR LIQUID CRYSTAL DISPLAY
二、 發明人 (共1人)	姓名 (中文)	1. 楊健生
	姓名 (英文)	1. Yang, Chien-Sheng
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台北市民生東路四段九十七巷四弄二十五號
	住居所 (英文)	1. No. 25, Alley 4, Lane 97, Sec. 4, Min-Sheng E. Rd., Taipei City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 友達光電股份有限公司
	名稱或姓名 (英文)	1. AU Optronics Corp.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市新竹科學工業園區力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 1, Li-Hsin Road 2, Science-Based Industrial Park, Hsin- Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1. Lee, Kuen-Yao



四、中文發明摘要 (發明名稱：多晶矽薄膜電晶體液晶顯示器之電路佈局方法)

一種多晶矽薄膜電晶體液晶顯示器之電路佈局方法，多晶矽薄膜電晶體液晶顯示器包含有一面板、複數個顯示單元、一用來產生時序訊號的時序控制電路，以及複數個邏輯電路。複數個邏輯電路會依據時序訊號來控制複數個顯示單元之操作。本發明之方法係決定時序控制電路形成於面板內之位置，以使時序訊號傳遞至複數個邏輯電路的延遲時間其間的差異小於 $1000\mu s$ (10^{-6} 秒)。

五、(一)、本案代表圖為：第三圖

(二)、本案代表圖之元件代表符號簡單說明

50 多晶矽薄膜電晶體液晶顯示器

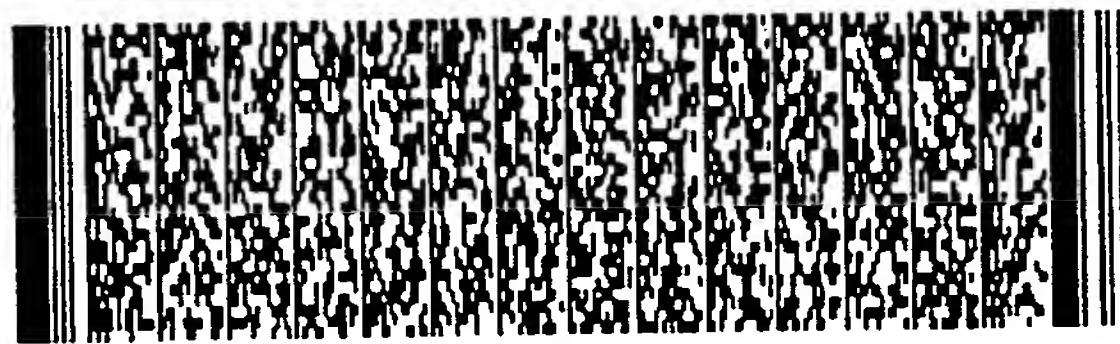
52 面板

54 像素區

56A 第一資料線驅動電路

六、英文發明摘要 (發明名稱：LAYOUT METHOD FOR A POLYSILICON THIN FILM TRANSISTOR LIQUID CRYSTAL DISPLAY)

A layout method for a polysilicon thin film transistor liquid crystal display (polysilicon TFT LCD) is disclosed. The polysilicon TFT LCD has a panel, a plurality of display cells, a timing control circuit for generating a timing signal, and a plurality of logic circuits for controlling operations of the display cells according to the timing signal. The method is to



四、中文發明摘要 (發明名稱：多晶矽薄膜電晶體液晶顯示器之電路佈局方法)

56B 第二資料線驅動電路

58 掃瞄線驅動電路 60 共同電極驅動電路

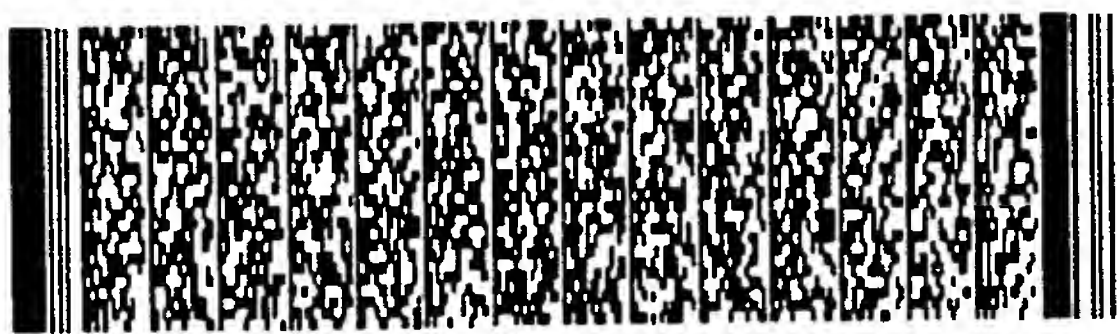
62 時序控制電路 64 介面電路

66 連接元件 68A 第一傳輸線

68B 第二傳輸線

六、英文發明摘要 (發明名稱：LAYOUT METHOD FOR A POLYSILICON THIN FILM TRANSISTOR LIQUID CRYSTAL DISPLAY)

determine a location in the panel for forming the timing control circuit so as to make differences among delay time intervals of the clock signal delivered to the logic circuits less than 1000μ s.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

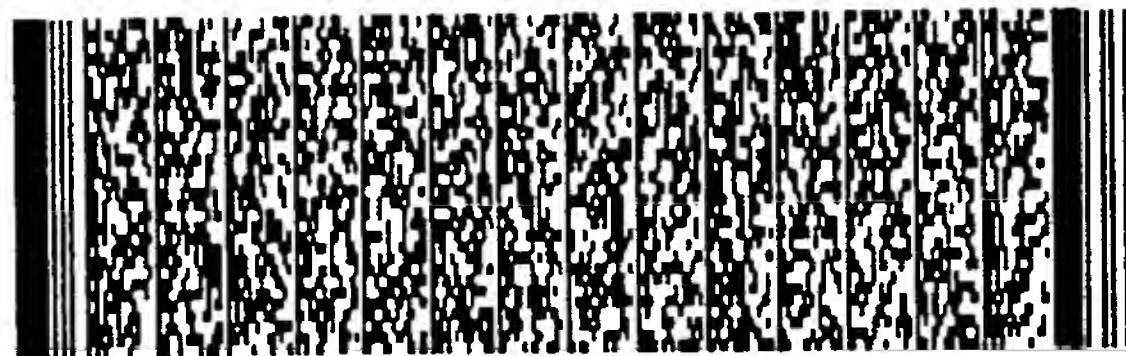
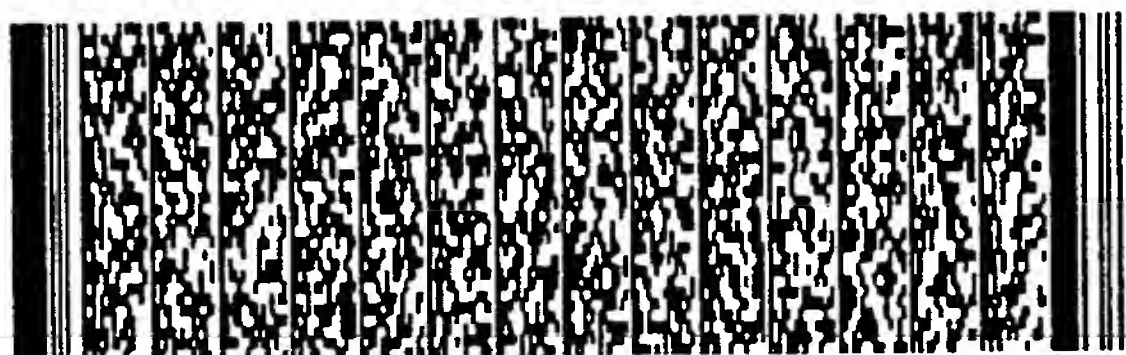
發明所屬之技術領域

本發明係概括關於一種多晶矽薄膜電晶體液晶顯示器之電路佈局方法，尤指一種決定多晶矽薄膜電晶體液晶顯示器之时序控制電路於液晶面板內的位置，以提升該多晶矽薄膜電晶體液晶顯示器之顯像品質的方法。

先前技術

液晶顯示器具有外型輕薄、耗電量少以及無輻射污染等特性，已被廣泛地應用在筆記型電腦 (notebook)、個人數位助理 (PDA) 等攜帶式資訊產品上，甚至已有逐漸取代傳統桌上型電腦的映像管 (cathode ray tube, CRT) 監視器的趨勢。由於液晶分子在不同排列狀態下，對光線具有不同的偏振或折射效果，因此可經由不同排列狀態的液晶分子來控制光線的穿透量，進一步產生不同強度的輸出光線，而液晶顯示器即是利用液晶分子此種特性來產生不同灰階強度的紅、藍、綠光，進一步使液晶顯示器產生豐富的影像。

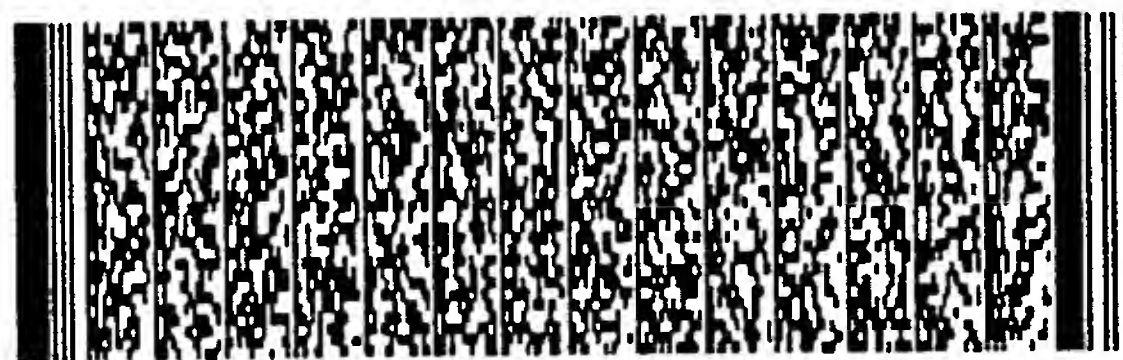
目前市面上的液晶顯示器大多可區分為非晶矽薄膜電晶體液晶顯示器 (amorphous silicon Thin Film Transistor Liquid Crystal Display, a-TFT LCD) 與多晶矽薄膜電晶體液晶顯示器 (polysilicon Thin Film



五、發明說明 (2)

Transistor Liquid Crystal Display, polysilicon TFT LCD)這兩種，而因多晶矽薄膜電晶體液晶顯示器比非晶矽薄膜電晶體液晶顯示器有較好的顯示特性，故多晶矽薄膜電晶體液晶顯示器常被使用在對顯示品質有較高要求的場合上。傳統上，用來控制多晶矽薄膜電晶體液晶顯示器操作的驅動電路係以積體電路製成，並壓合於其液晶面板之上。然而，隨著製程技術的改善，目前已可將多晶矽薄膜電晶體液晶顯示器相關的驅動電路以及介面電路，全部以多晶矽薄膜電晶體液晶的形式整合於面板上，而藉此亦大幅地降低多晶矽薄膜電晶體液晶顯示器的生產成本。

一般，像上述這種全整合式多晶矽薄膜電晶體液晶顯示器通常包含有一時序控制電路 (timing control circuit)，用來控制多晶矽薄膜電晶體液晶顯示器上的各種邏輯電路的操作，然而因習知的多晶矽薄膜電晶體液晶顯示器其時序控制電路在液晶面板內的位置並未最佳化，故其所顯示的畫質容易因時序信號不同步 (clock skew) 而劣化。請參考圖一，圖一為習知多晶矽薄膜電晶體液晶顯示器 10 之示意圖。多晶矽薄膜電晶體液晶顯示器 10 包含有一面板 12，多晶矽薄膜電晶體液晶顯示器 10 相關的驅動電路及介面電路係形成於面板 12 內。多晶矽薄膜電晶體液晶顯示器 10 另包含有一顯示區 14、一第一資料線驅動電路 16A、一第二資料線驅動電路 16B、一掃



五、發明說明 (3)

瞄線驅動電路 18、一共同電極驅動電路 20、一時序控制電路 22、一介面電路 24 以及一連接元件 26，其中顯示區 14、第一資料線驅動電路 16A、第二資料線驅動電路 16B、掃瞄線驅動電路 18、共同電極驅動電路 20、時序控制電路 22 以及介面電路 24 皆以多晶矽薄膜電晶體的形式形成於面板 12 內，而連接元件 26 則連接於面板 12。

多晶矽薄膜電晶體液晶顯示器 10 會藉由連接元件 26 自外界接收影像訊號 Si，之後影像訊號 Si 會經由介面電路 24 傳送至多晶矽薄膜電晶體液晶顯示器 10 的其他邏輯路，以使顯示區 14 顯示出影像訊號 Si 中所包含的影像。顯示區 14 包含有複數個顯像單元，每一顯像單元係用來構成畫面中的一像素 (pixel) 或是一次像素 (sub-pixel)，而顯像單元係受到第一資料線驅動電路 16A、第二資料線驅動電路 16B 以及掃瞄線驅動電路 18 的驅動。此外，共同電極驅動電路 20 係用來提供一共同電壓，以加快顯示區 14 所顯示的畫面之更新速度，而時序控制電路 22 係用來產生一時序訊號 SA，其中第一資料線驅動電路 16A、第二資料線驅動電路 16B、掃瞄線驅動電路 18 以及介面電路 24 會依據時序控制電路 22 所產生的時序訊號 SA 來操作。然而，如上所述，因時序控制電路 22 在面板 12 內的位置並未最佳化，故多晶矽薄膜電晶體液晶顯示器 10 所顯示的畫質容易因時序信號不同步而劣化。請參考圖一及圖二，圖二為圖一多晶矽薄膜電晶體液晶顯示器



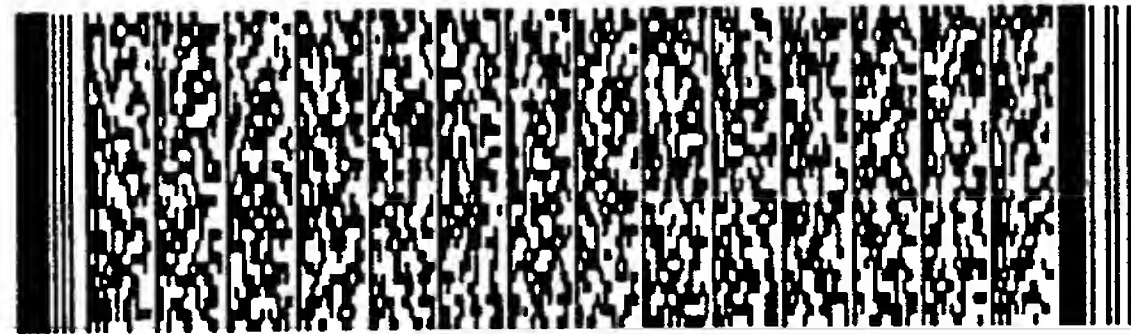
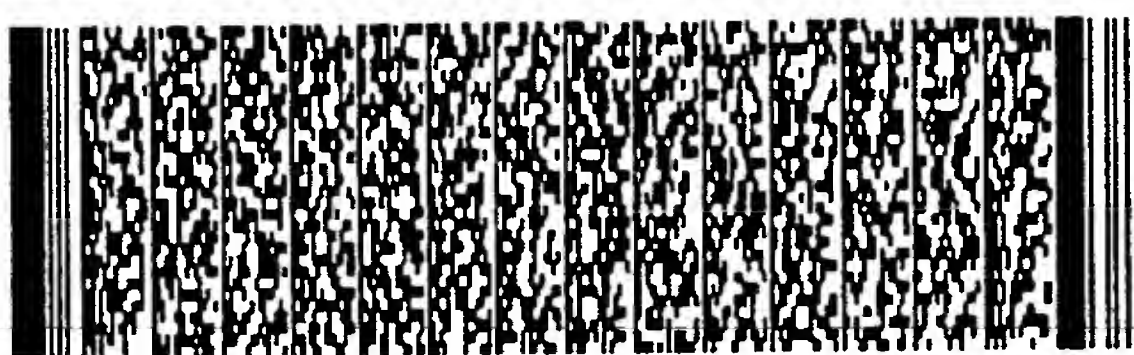
五、發明說明 (4)

10之時序訊號SA的時序圖，其中圖二由上至下分別表示了時序訊號SA於時序控制電路22處、於第一資料線驅動電路16A處以及於第二資料線驅動電路16B處的波形。如圖一所示，時序訊號SA係經由一第一傳輸線28A傳送至第一資料線驅動電路16A，並經由一第二傳輸線28B傳送至第二資料線驅動電路16B，然而因第一傳輸線28A的長度大於第二傳輸線28B的長度，故如圖二所示，時序訊號SA傳遞至第一資料線驅動電路16A的延遲時間(delay time) T1與時序訊號SA傳遞至第二資料線驅動電路16B的延遲時間 T2會有所差異，而當延遲時間 T1與延遲時間 T2兩者間的差異 t 大於某一可容許的時間間格時，則會使得顯示區14所顯示的畫面產生閃爍的現象。

發明內容

因此，本發明的目的即在於提供一種多晶矽薄膜電晶體液晶顯示器之電路佈局方法，以解決上述的問題。

依據本發明之方法實施的多晶矽薄膜電晶體液晶顯示器包含有一面板、複數個顯示單元、一用來產生時序訊號的時序控制電路，以及複數個邏輯電路。顯示單元、時序控制電路以及邏輯電路皆形成於面板內，而邏輯電路會依據時序訊號來控制顯示單元之操作。本發明之方法係藉由決定時序控制電路形成於面板內之位置，

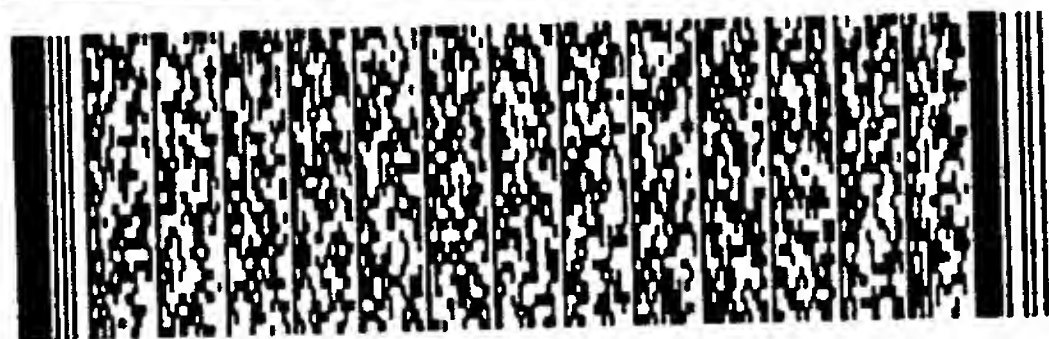


五、發明說明 (5)

以使時序訊號傳遞至各邏輯電路的延遲時間其間的差異小於 $1000\mu s$ (10^{-6} 秒)。因此，相較於習知的多晶矽薄膜電晶體液晶顯示器，依據本發明之方法實施的多晶矽薄膜電晶體液晶顯示器較不易發生時序信號不同步的情況，進而可提升多晶矽薄膜電晶體液晶顯示器的畫質。

實施方式

請參考圖三及圖四，圖三為依據本發明之方法實施的多晶矽薄膜電晶體液晶顯示器 50 之示意圖，圖四為圖三多晶矽薄膜電晶體液晶顯示器 50 之顯示區 54 的電路圖。與習知多晶矽薄膜電晶體液晶顯示器 10 相同的，多晶矽薄膜電晶體液晶顯示器 50 亦包含有一面板 52，而多晶矽薄膜電晶體液晶顯示器 50 相關的驅動電路及介面電路係形成於面板 52 內。多晶矽薄膜電晶體液晶顯示器 50 另包含有一顯示區 54、一第一資料線驅動電路 56A、一第二資料線驅動電路 56B、一掃描線驅動電路 58、一共同電極驅動電路 60、一時序控制電路 62、一介面電路 64 以及一連接元件 66，其中顯示區 54、第一資料線驅動電路 56A、第二資料線驅動電路 56B、掃描線驅動電路 58、共同電極驅動電路 60、时序控制電路 62 以及介面電路 64 皆以多晶矽薄膜電晶體的形式形成於面板 52 內，而連接元件 66 則連接於面板 52。



五、發明說明 (6)

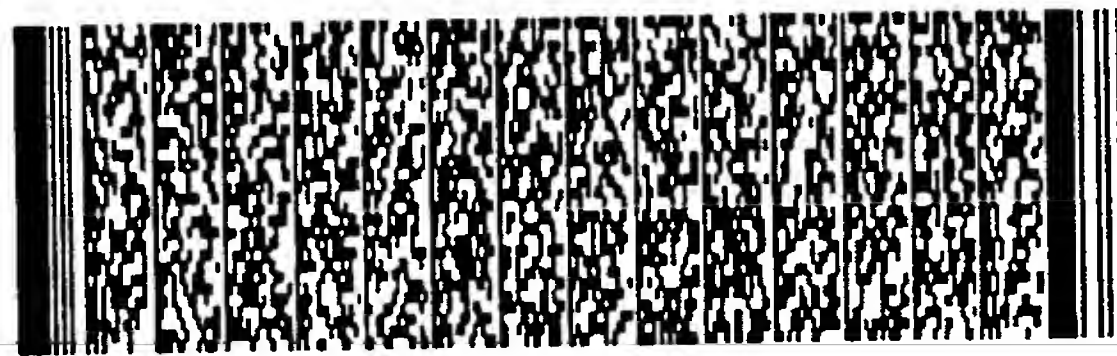
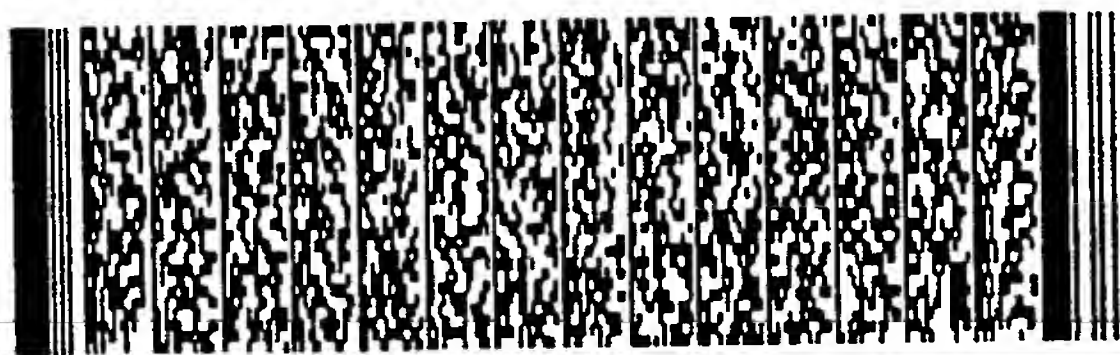
多晶矽薄膜電晶體液晶顯示器 50 會藉由連接元件 66 自外界接收影像訊號 Si，之後影像訊號 Si 會藉由介面電路 64 傳送至多晶矽薄膜電晶體液晶顯示器 50 的其他邏輯電路，以使顯示區 54 顯示出影像訊號 Si 中所包含的影像。如圖四所示，顯示區 54 包含有複數個顯像單元 70，每一顯像單元 70 係用來構成畫面中的一像素 (pixel) 或是一次像素 (sub-pixel)，而每一顯像單元 70 包含有一多晶矽薄膜電晶體 Tr 以及一液晶元件 80，液晶元件 80 會因多晶矽薄膜電晶體 Tr 的導通狀況而改變其顯像特性。此外，多晶矽薄膜電晶體液晶顯示器 50 另包含有複數條掃描線 (scan lines) 76 以及複數條資料線 (data lines) 78，而所有的掃描線 76 及資料線 78 皆連接於顯示單元 70。資料線 78 區分為一第一群組 72 以及一第二群組 74，其中第一群組 72 中的資料線 78 連接於第一資料線驅動電路 56A，而第二群組 74 中的資料線 78 則連接於第二資料線驅動電路 56B 並與第一群組 72 的資料線 78 交錯地排列。如圖四所示，標示為 DA_m 、 DA_{m+1} 的資料線 78 屬於第一群組 72，而標示為 DB_m 、 DB_{m+1} 的資料線 78 屬於第二群組 74。此外，掃描線 76 係連接於掃描線驅動電路 58，掃描線驅動電路 58 可藉由掃描線 76 來控制多晶矽薄膜電晶體 Tr 的導通，而當多晶矽薄膜電晶體 Tr 導通時，顯像單元 70 的液晶元件 80 即會因所連接的資料線 78 上的電壓而表現出對應的顯示特性。此外，共同電極驅動電路 60 係用來提供一共同電壓于顯像單元 70，以加快顯像單元 70 改變顯



五、發明說明 (7)

像模式時的的速度，而時序控制電路 62則是用來產生一時序訊號 SA，其中第一資料線驅動電路 56A、第二資料線驅動電路 56B、掃瞄線驅動電路 58以及介面電路 64會依據時序控制電路 62所產生的時序訊號 SA來操作。

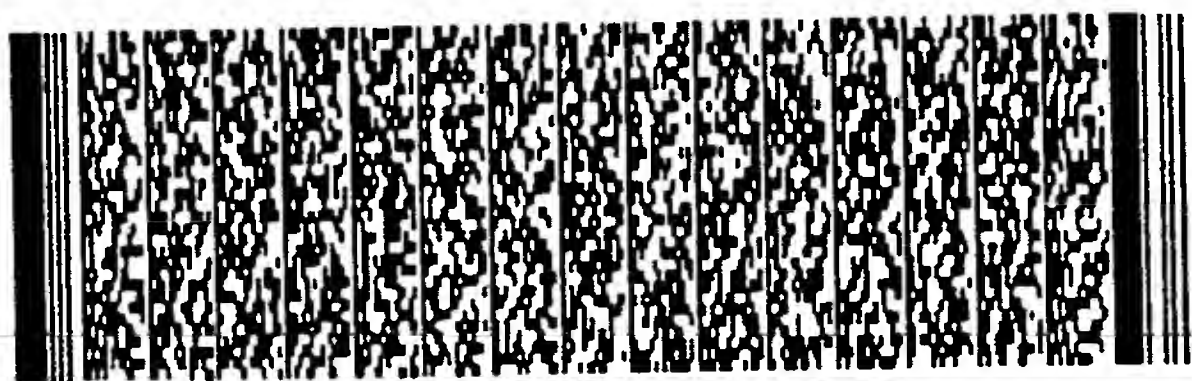
與習知多晶矽薄膜電晶體液晶顯示器 10不同的是，多晶矽薄膜電晶體液晶顯示器 50的時序控制電路 62在面板 52內的位位置係經過特別地考量與計算，而使得時序控制電路 62所產生的時序訊號 SA被傳遞至面板 52內的其他邏輯電路的延遲時間其間的差異小於一預定時間間格，為最佳化時序控制電路 62在面板 52內的位位置。另外，為使多晶矽薄膜電晶體液晶顯示器 50符合高畫質的需求，上述的預定時間間格係設定為 $1000\mu s$ (10 秒)。為說明此點，請參考圖三及圖五，圖五為圖三多晶矽薄膜電晶體液晶顯示器 50之時序訊號 SA的時序圖，其中圖五由上至下分別表示了時序訊號 SA於時序控制電路 62處、於第一資料線驅動電路 56A處以及於第二資料線驅動電路 56B處的波形。如圖三所示，時序控制電路 62係設置在第一資料線驅動電路 16A與第二資料線驅動電路 16B之間，並分別藉由一第一導線 68A及一第二導線 68B而連接至第一資料線驅動電路 16A與第二資料線驅動電路 16B，而其中第一導線 68A與一第二導線 68B幾乎等長，故如圖五所示，時序訊號 SA傳遞至第一資料線驅動電路 56A的延遲時間 T1與時序訊號 SA傳遞至第二資料線驅動電路 56B的延遲



五、發明說明 (8)

時間 T_2 幾乎相等。因此，多晶矽薄膜電晶體液晶顯示器 50 並不會像習知的多晶矽薄膜電晶體液晶顯示器 10 會因延遲時間 T_1 與延遲時間 T_2 兩者間的差異 t 過大，而產生畫面閃爍的情況。

需特別說明的是，時序訊號 SA 傳遞時會造成延遲的原因是傳遞時序訊號 SA 的傳輸線（如：傳輸線 68A、68B）本身即具有電阻值，再加上其兩端會產生寄生電容（parasite capacitor），故會使得傳輸線會產生所謂的電阻電容（RC）效應，而造成時序訊號 SA 的延遲現象。此，為方便計算傳輸線所可能會造成延遲時間，通常會以傳輸線的等效電阻值（equivalent resistance）以及等效電容值（equivalent capacitance）來加以表示，而電阻的單位歐姆（ Ω ）乘以電容的單位法拉（F）後所得的單位為秒。一般，若傳輸線的等效電阻值與等效電容值的乘積越大的話，其所造成的時序訊號 SA 延遲時間就會越長。當各傳輸線之等效電阻值及等效電容值之乘積其間的差異小於 $1000\mu s$ （ 10^{-6} 秒）時，則時序訊號 SA 傳遞至各面板 52 內各邏輯電路（如：第一資料線驅動電路 56A、第二資料線驅動電路 56B）的延遲時間其間的差異亦會小於 $1000\mu s$ （ 10^{-6} 秒），而其結果會使畫質不容易因時序信號不同步而劣化。故當決定時序控制電路 62 形成於面板 52 內之位置時，除了可藉由傳輸線的長度來決定之外，亦可藉由傳輸線的等效電阻值以及等效電容值來加以決

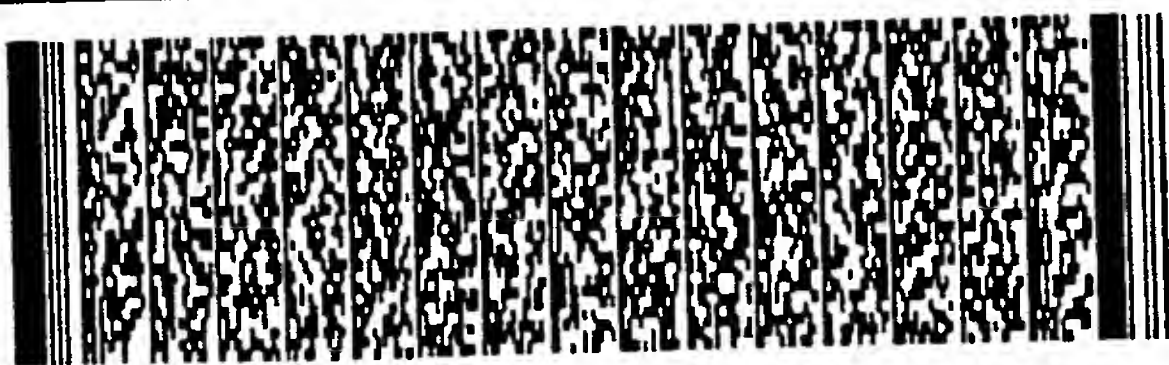


五、發明說明 (9)

定。

相較於習知的多晶矽薄膜電晶體液晶顯示器，依據本發明發法實施的多晶矽薄膜電晶體液晶顯示器其時序控制電路在面板內的位址會予以最佳化，故該時序控制電路所產生的時序訊號傳遞至該面板內複數個邏輯電晶體的延遲時間其間的差異小於一預定時間格，故多晶矽薄膜電晶體液晶顯示器的畫質不易因為時序信號不同步而劣化，也因而可顯示畫質較佳的畫面。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為習知多晶矽薄膜電晶體液晶顯示器之示意圖。

圖二為圖一多晶矽薄膜電晶體液晶顯示器之时序訊號的时序圖。

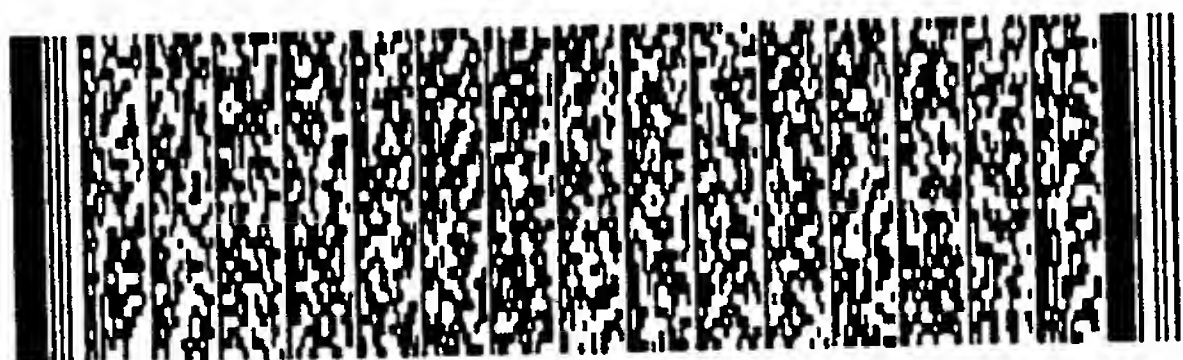
圖三為依據本發明之方法實施的多晶矽薄膜電晶體液晶顯示器之示意圖。

圖四為圖三多晶矽薄膜電晶體液晶顯示器之顯示區的電路圖。

圖五為圖三多晶矽薄膜電晶體液晶顯示器之时序訊號的时序圖。

圖式之符號說明

10、50	多晶矽薄膜電晶體液晶顯示器	
12、52	面板	14、54 像素區
16A、56A	第一資料線驅動電路	
16B、56B	第二資料線驅動電路	
18、58	掃描線驅動電路	
20、60	共同電極驅動電路	
22、62	时序控制電路	
24、64	介面電路	26、66 連接元件
68A	第一傳輸線	68B 第二傳輸線



圖式簡單說明

70	顯像單元	72	資料線第一群組
74	資料線第二群組		
76	掃描線	78	資料線



六、申請專利範圍

1. 一種多晶矽薄膜電晶體液晶顯示器 (polysilicon Thin Film Transistor Liquid Crystal Display, polysilicon TFT LCD)之電路佈局方法，該多晶矽薄膜電晶體液晶顯示器包含有：

一面板；

複數個顯示單元，每一顯示單元包含有至少一多晶矽薄膜電晶體；

一時序控制電路，用來產生一時序訊號；

複數個邏輯電路，用來依據該时序訊號來控制該複數個顯示單元之操作；

該方法包含有：

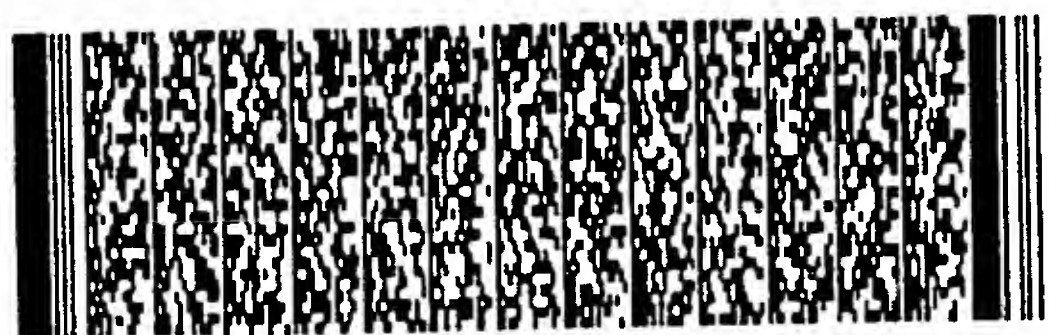
形成該複數個顯示單元於該面板內；

形成該複數個邏輯電路於該面板內；

決定該时序控制電路形成於面板內之位置，以使該时序訊號傳遞至該複數個邏輯電路的延遲時間 (delay time)其間的差異小於 $1000\mu s$ (10^{-6} 秒)。

2 如申請範圍第1項之方法，其中該时序訊號係分別藉由複數條傳輸線傳送至該複數個邏輯電路，而各傳輸線之等效電阻值及等效電容值之乘積其間的差異係小於 $1000\mu s$ (10^{-6} 秒)。

3. 如申請範圍第1項之方法，其中該多晶矽薄膜電晶體液晶顯示器另包含有複數條掃描線 (scan lines)以及複



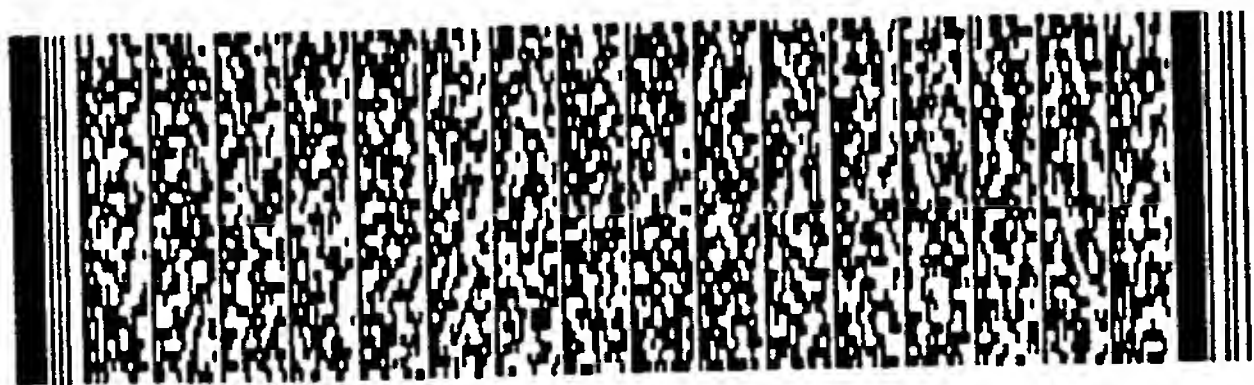
六、申請專利範圍

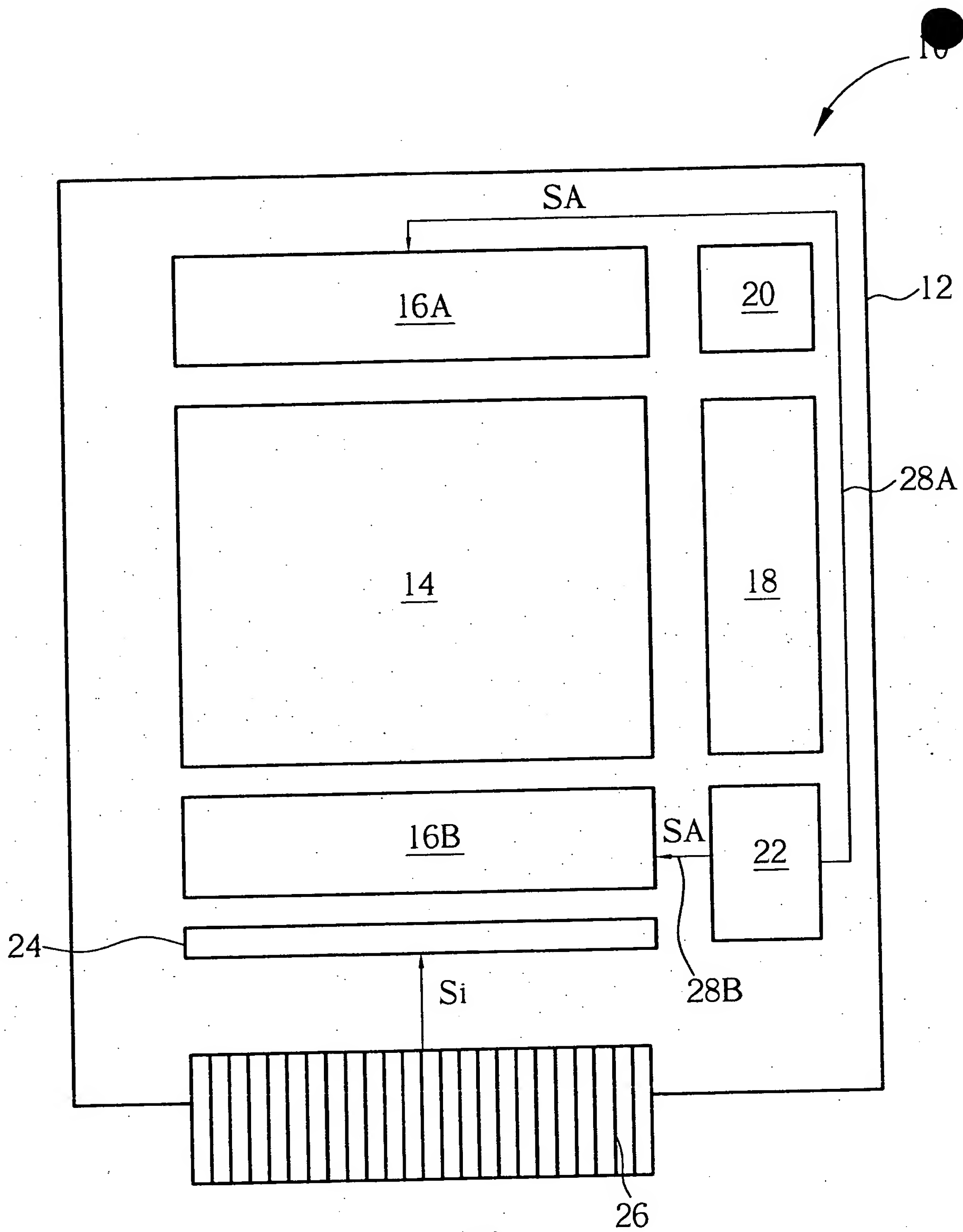
數條資料線 (data lines)，該複數條掃瞄線及該複數條資料線皆連接於該複數個顯示單元，而該複數個邏輯電路包括有：

- 一掃瞄線驅動電路，連接於該複數條掃瞄線；
- 一第一資料線驅動電路，連接於複數條資料線之一第一群組的資料線；
- 一第二資料線驅動電路，連接於複數條資料線之一第二群組的資料線，而該第一群組之資料線係與該第二群組之資料線交錯排列。

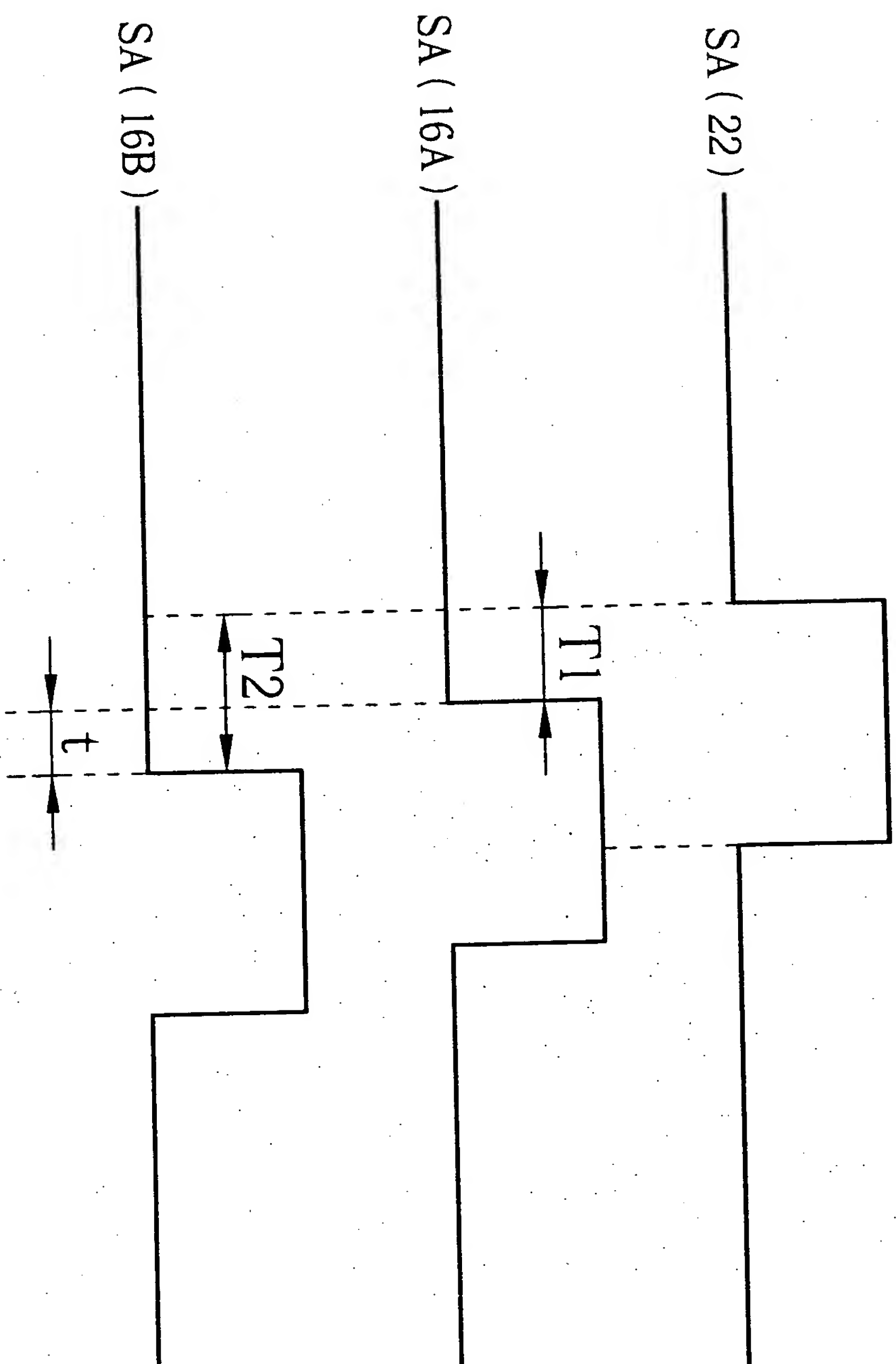
4. 如申請範圍第3項之方法，其中該時序訊號係分別藉由一第一傳輸線與第二傳輸線傳送至該第一資料線驅動電路及該第二資料線驅動電路，其中該第一傳輸線之等效電阻值及等效電容值之乘積與該第二傳輸線之等效電阻值及等效電容值之乘積之間的差異係小於 $1000\mu s$ (10-6秒)。

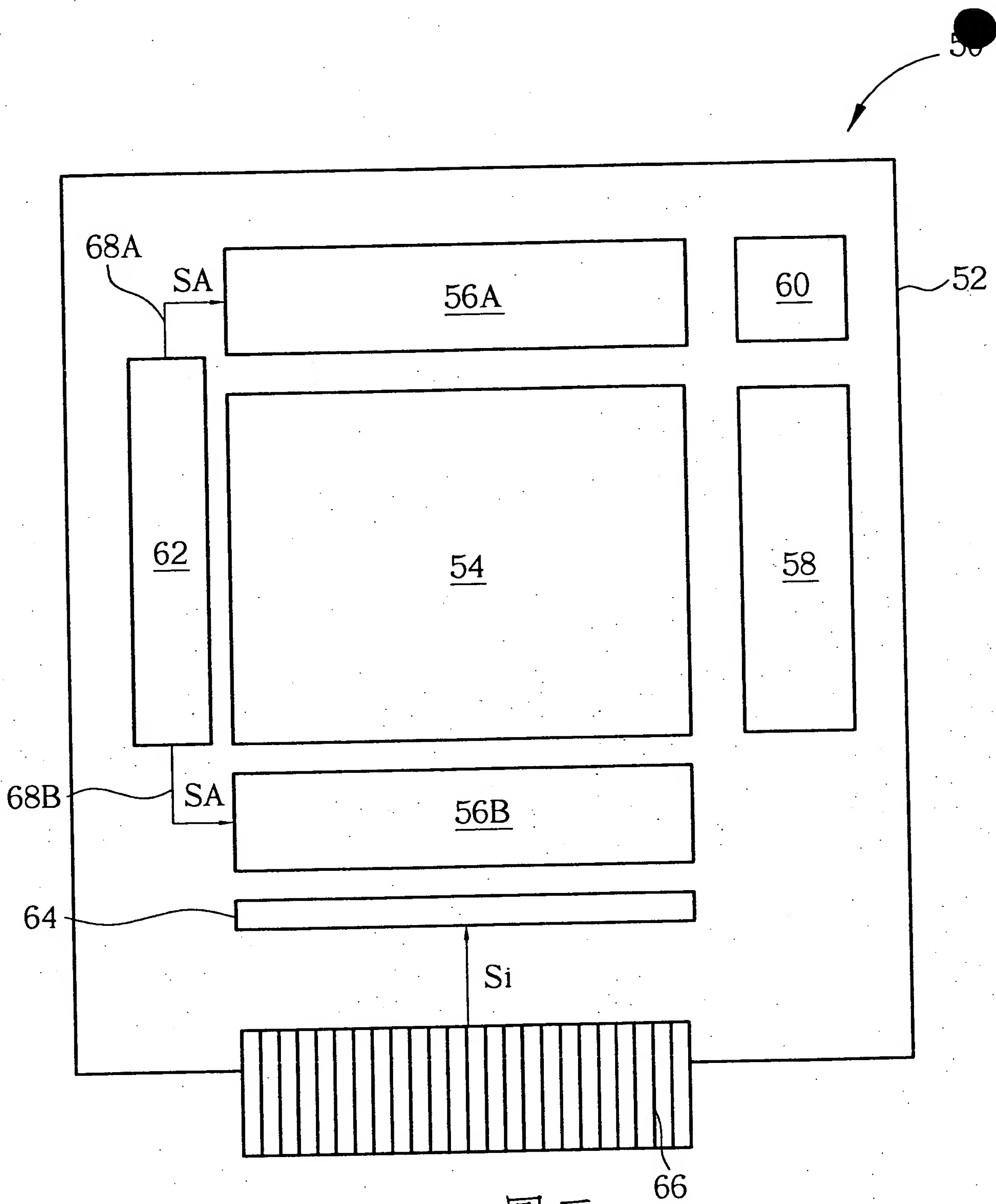
5. 如申請範圍第1項之方法，其中該複數個邏輯電路包括有一介面電路，用來接收與傳遞一影像資料，以使該複數個顯示單元依據該影像資料動作。



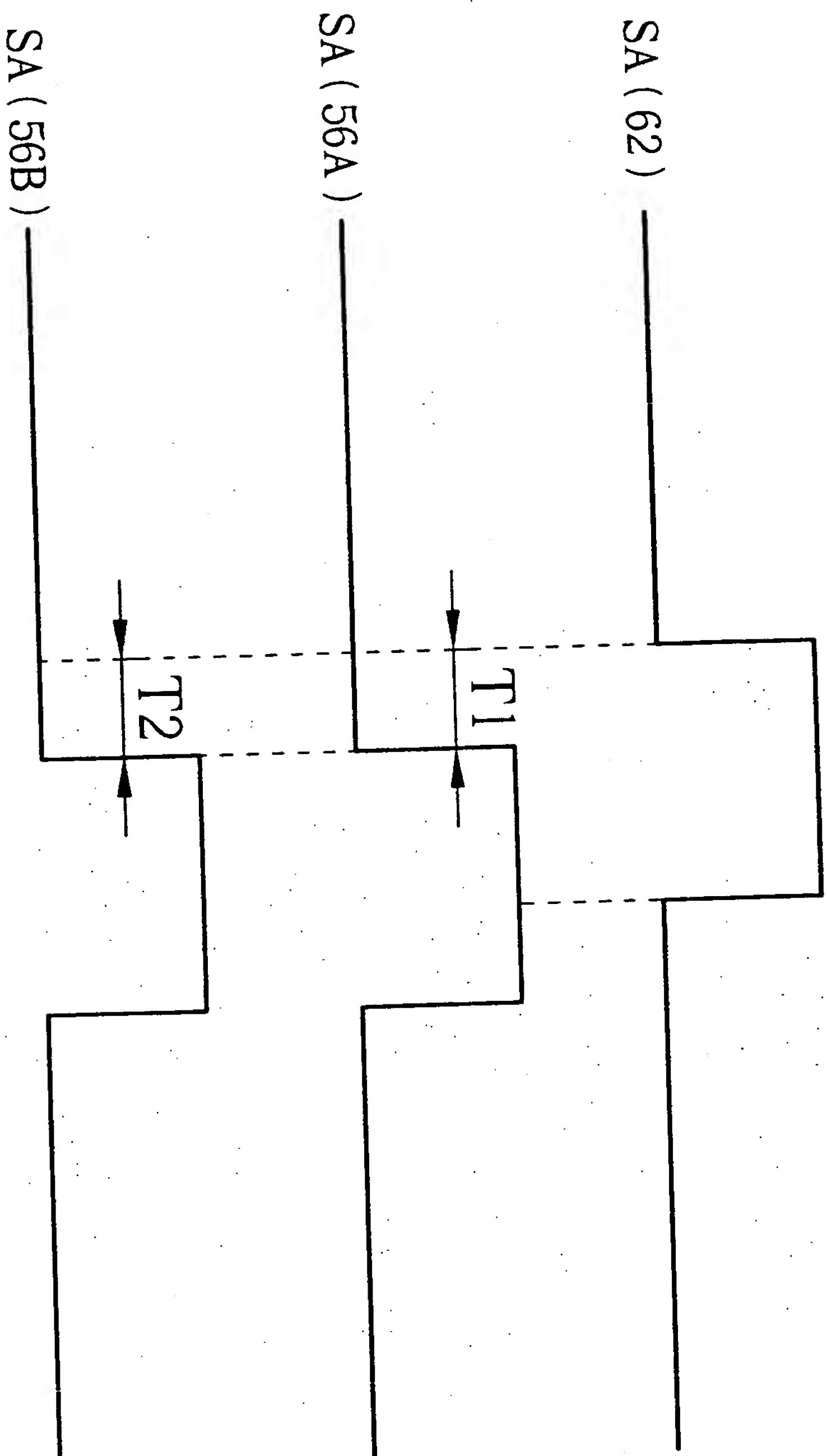


圖一





圖三



圖五

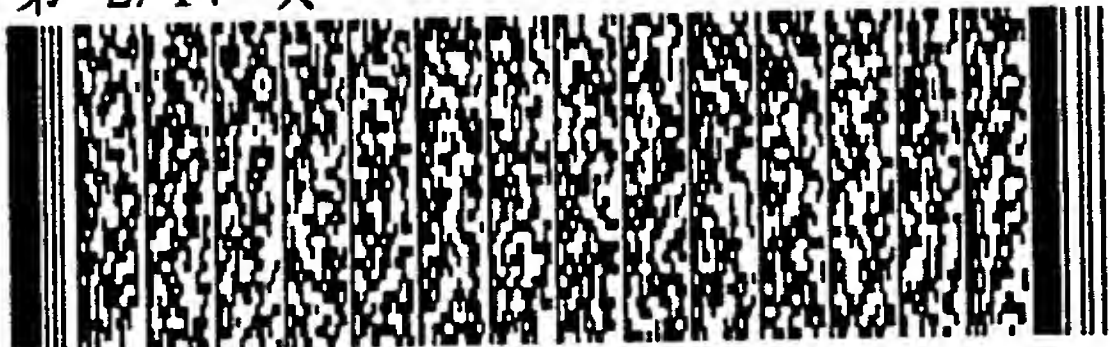
第 1/17 頁



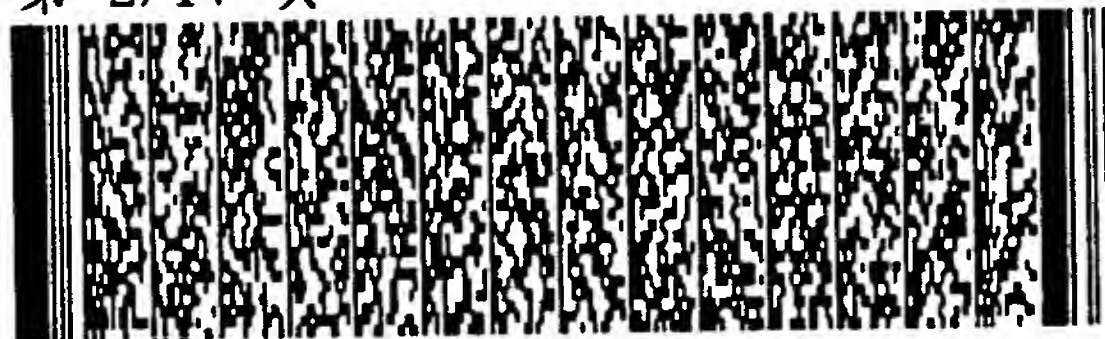
第 1/17 頁



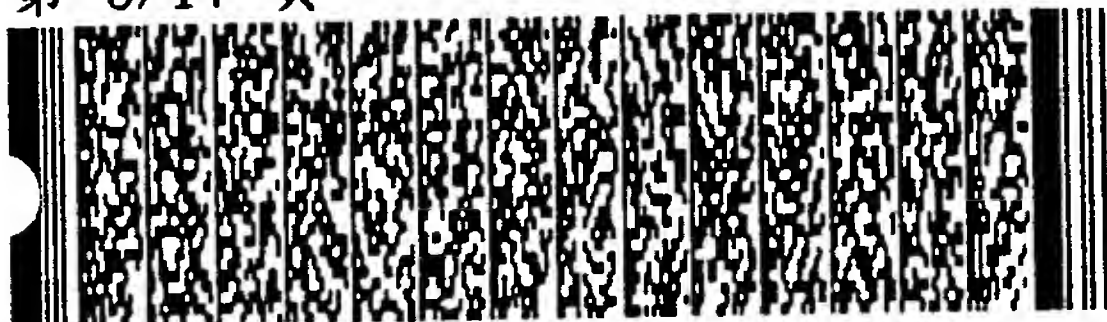
第 2/17 頁



第 2/17 頁



第 3/17 頁



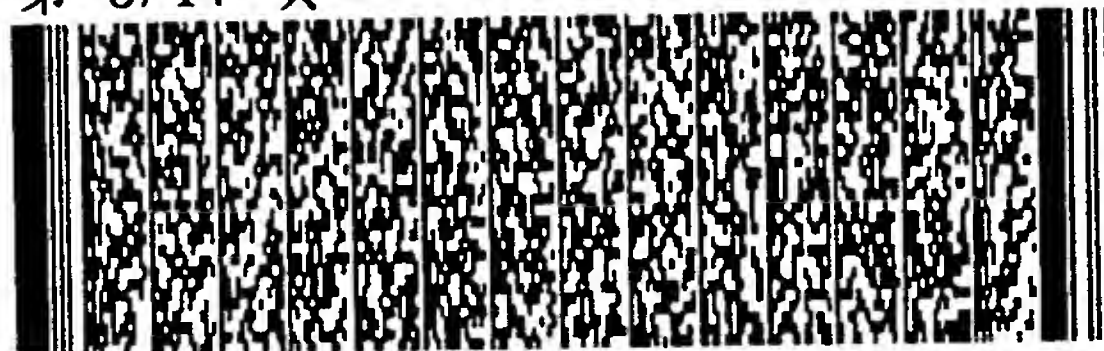
第 4/17 頁



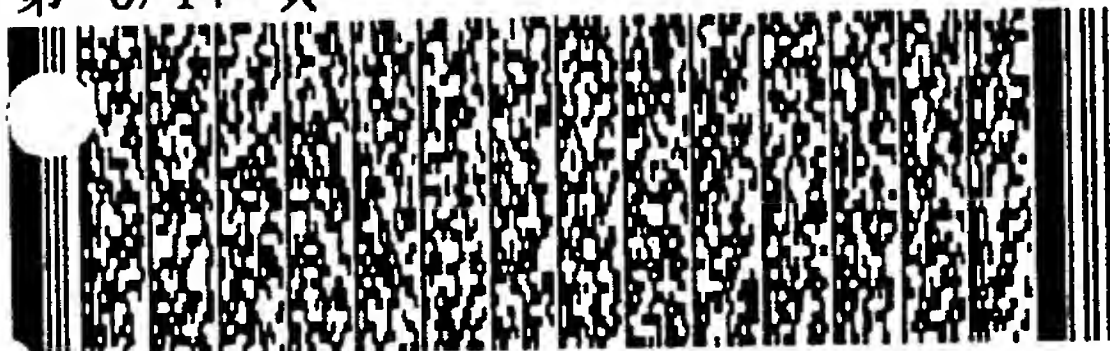
第 5/17 頁



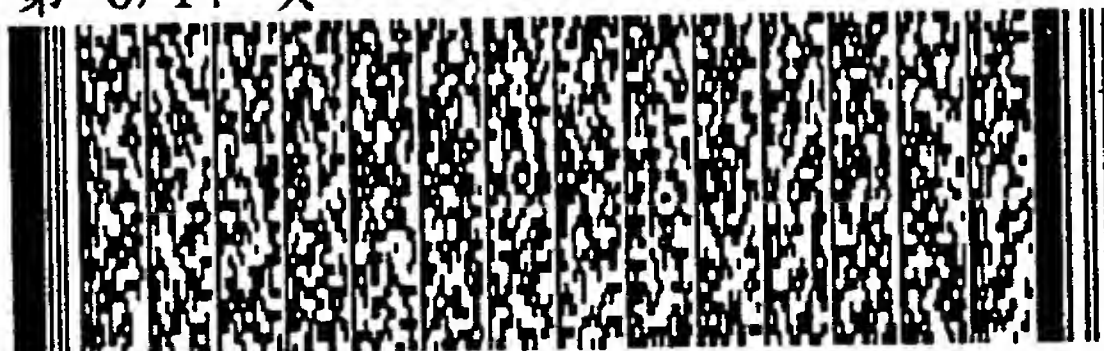
第 5/17 頁



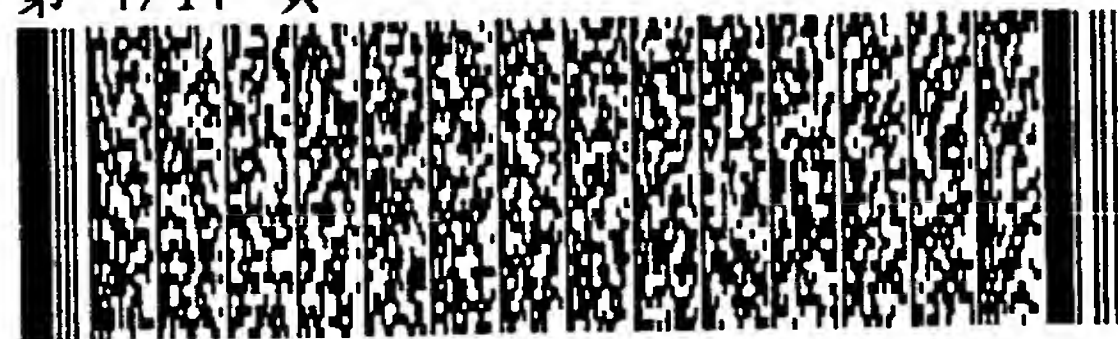
第 6/17 頁



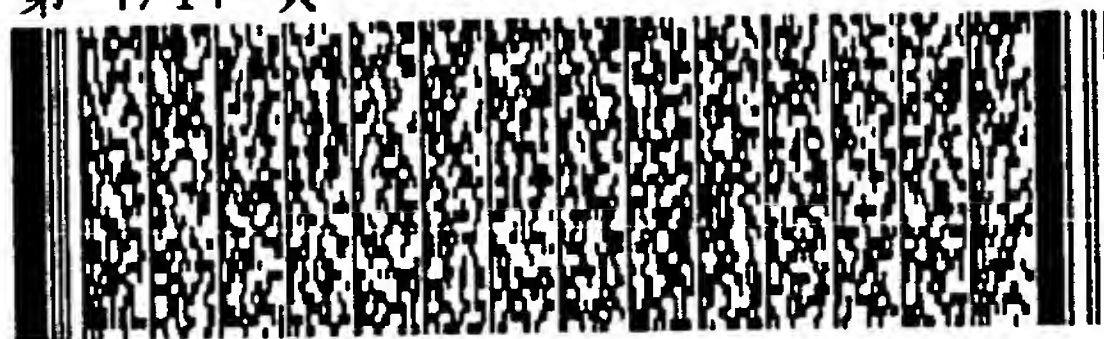
第 6/17 頁



第 7/17 頁



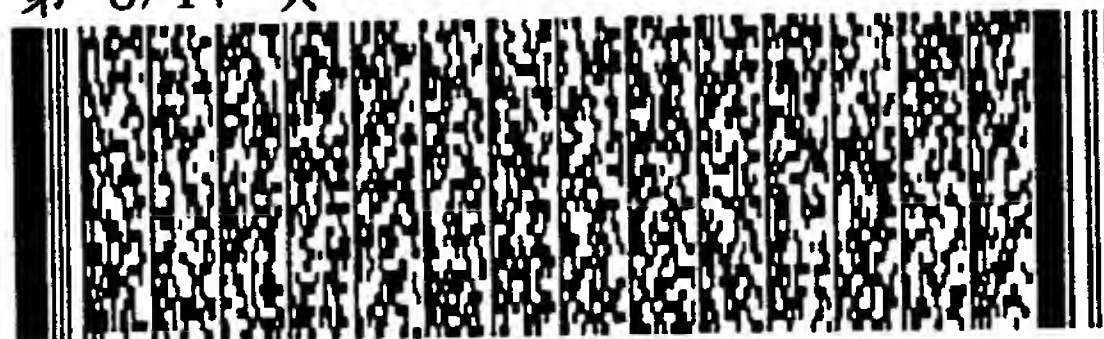
第 7/17 頁



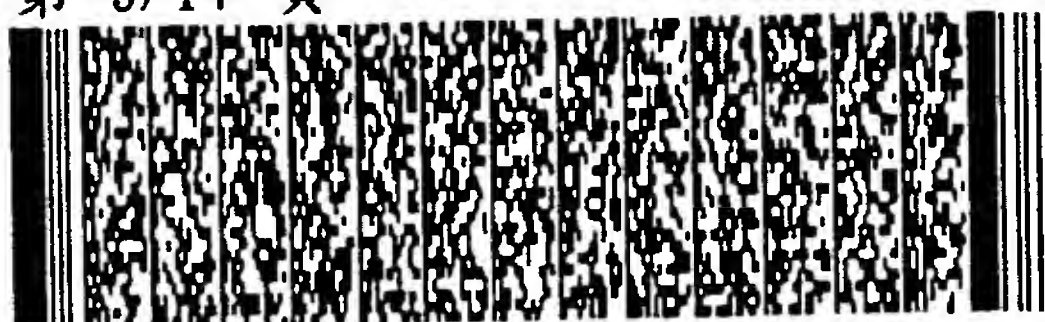
第 8/17 頁



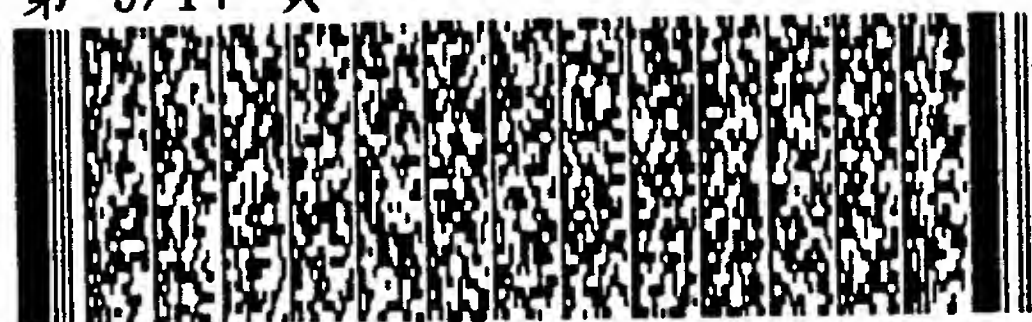
第 8/17 頁



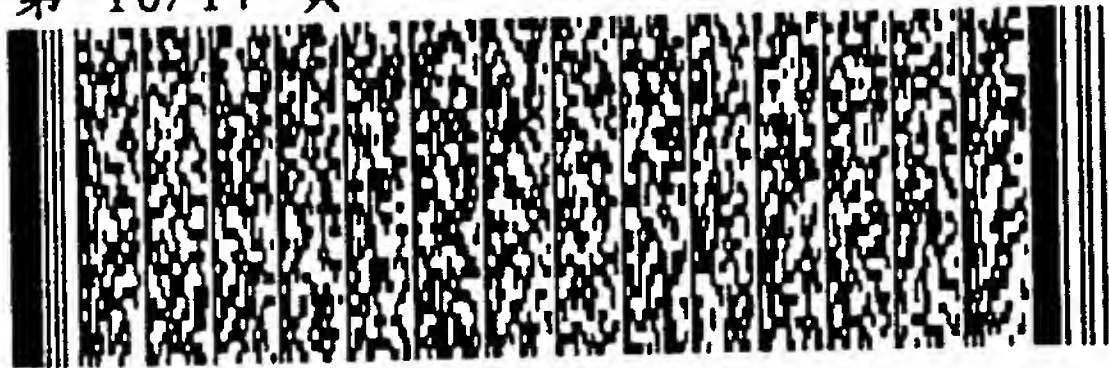
第 9/17 頁



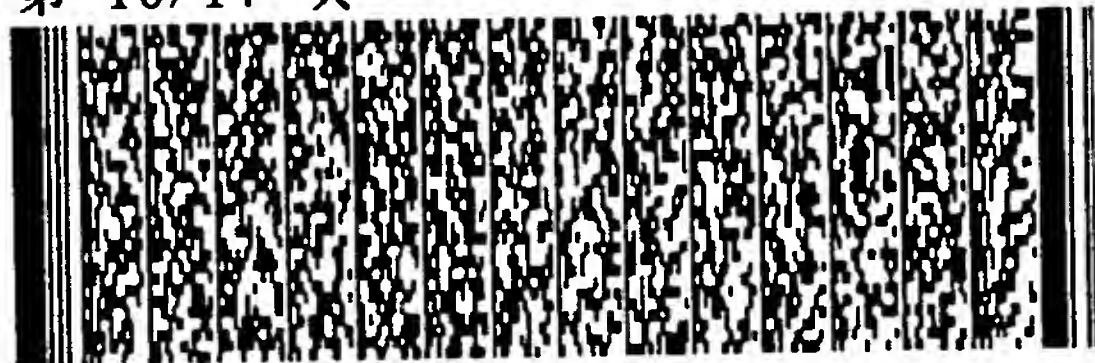
第 9/17 頁



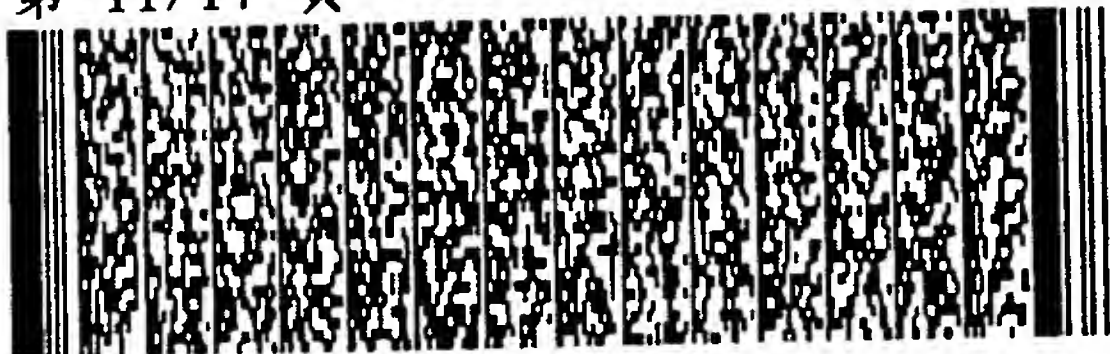
第 10/17 頁



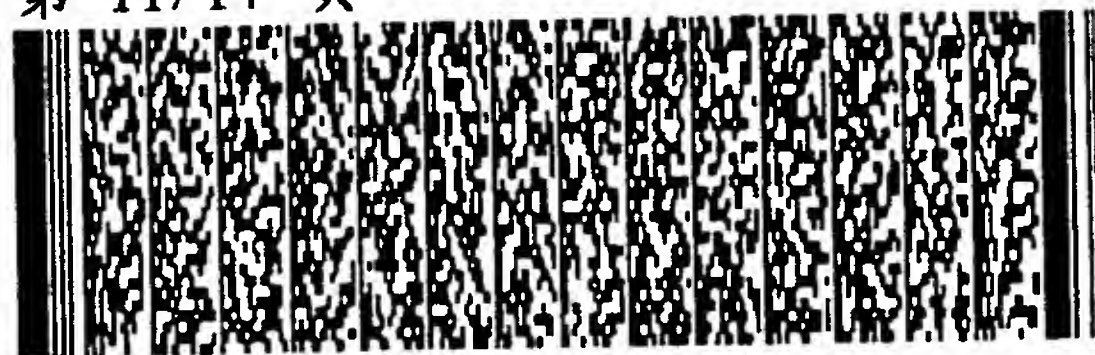
第 10/17 頁



第 11/17 頁



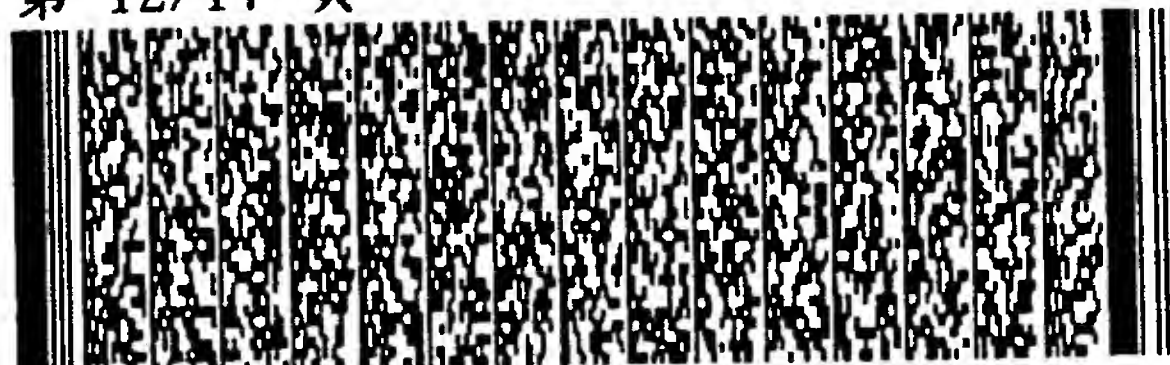
第 11/17 頁



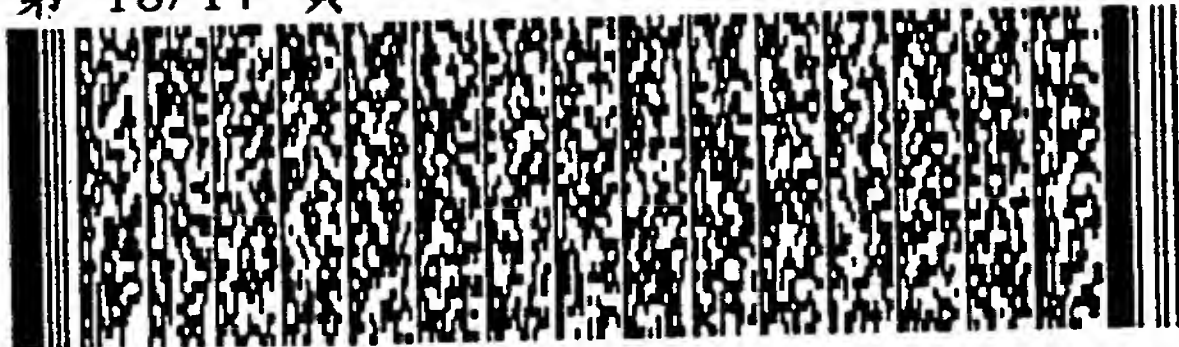
第 12/17 頁



第 12/17 頁



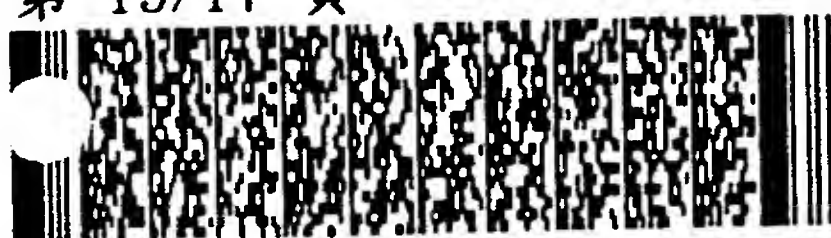
第 13/17 頁



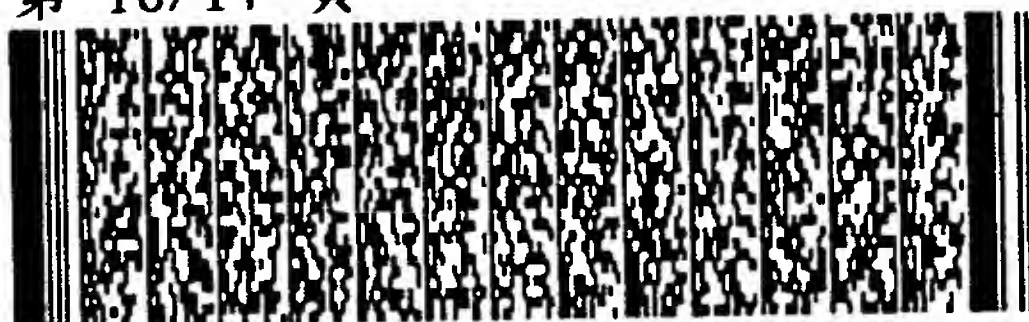
第 14/17 頁



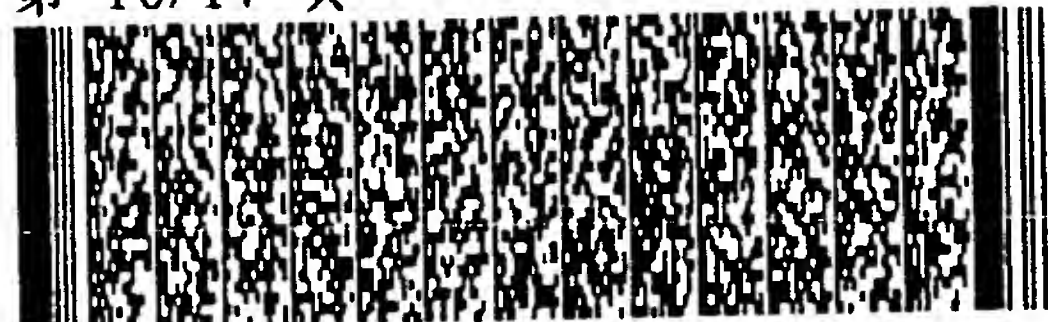
第 15/17 頁



第 16/17 頁



第 16/17 頁



第 17/17 頁

